(19) Japan Patent Office (JP)

(12) Laid-Open Disclosure Public Patent Bulletin (A)

(11) Publication Number: Japanese Published Patent Application No. H4-358129

(43) Date of Publication: December 11, 1992

(51) Int. Cl.[5]	Identification Symbol	JPO File Number	FI	Technical Indications
G 02 F 1/136	500	9018-2K		
1/1333	505	7610-2K		
1/1343		9018-2K		
H 01 L 27/12	A	8728-4M		
		9056-4M		
			H 01 L 29/78 311	A

Request for Examination: Not made

Number of Claims: 1 (6 pages in Total) *Continued on the last page*

(21) Application Number: H3-116425

(22) Date of filing: May 22, 1991

(71) Applicant: 000000295

Oki Electric Industry Co., Ltd.

7-12, Toranomon 1-chome, Minato-ku, Tokyo

(72) Inventor: Shigeki OGURA

c/o Oki Electric Industry Co., Ltd.

7-12, Toranomon 1-chome, Minato-ku, Tokyo

(72) Inventor: Tamahiko NISHIKI

c/o Oki Electric Industry Co., Ltd.

7-12, Toranomon 1-chome, Minato-ku, Tokyo

(72) Inventor: Yoshiyo YOSHIZAWA

c/o Oki Electric Industry Co., Ltd.

7-12, Toranomon 1-chome, Minato-ku, Tokyo

(74) Representative: Patent Attorney, Mamoru SHIMIZU *et al.*

(54) Title of the Invention: THIN FILM TRANSISTOR TYPE LIQUID CRYSTAL DISPLAY DEVICE

(57) [Abstract]

[Purpose] To prevent light leakage on the side of a drain electrode and to reduce resistance of a gate electrode in a TFT-LCD.

[Construction] A shielding electrode 6 is formed over a drain electrode 2. The shielding electrode 6 is electrically connected to a counter electrode. In addition, a gate auxiliary electrode 12 which is electrically connected to the gate electrode 1 through contact holes 9 to 11 is formed over the gate electrode 1. With such a structure, a voltage signal on the drain electrode 2 is shielded by the shielding electrode 6 and thus the voltage signal does not enter a liquid crystal layer. In addition, the resistance of the gate electrode is reduced by the gate auxiliary electrode 12.

[Scope of Claim]

[Claim 1] A thin film transistor type liquid crystal display device characterized by comprising:

a thin film transistor substrate having a plurality of gate electrodes, a plurality of drain electrodes which intersect with the gate electrodes, a thin film transistor provided at an intersection thereof, and a pixel electrode connected to a source electrode of the thin film transistor; and

a counter electrode substrate which face to the thin film transistor substrate with liquid crystals interposed therebetween,

wherein the thin film transistor substrate includes

(a) a first insulating film formed over the gate electrode;

(b) a second insulating film formed over the first insulating film and an entire surface but a connection portion of the source electrode and the pixel electrode;

(c) a shielding electrode formed over the second insulating film and an entire surface but at least the gate electrode, where a portion under a channel portion of the transistor is not included, and the connection portion of the source electrode and the pixel electrode;

(d) a third insulating film formed over the shielding electrode and an entire surface but at least the connection portion of the source electrode and the pixel electrode;

(e) the pixel electrode formed over the third insulating film; and

(f) a gate auxiliary electrode formed over the second insulating film or the third insulating film and the gate electrode, where the portion under the channel portion of the transistor is not included, and electrically connected to the gate electrode, and

wherein a voltage inputted into the shielding electrode is made similar to a voltage inputted into a counter electrode of the counter electrode substrate.

[Detailed Description of the Invention]

[0001]

[Industrial Field of the Invention] The present invention relates to an electrode structure and a pattern in a thin film transistor type liquid crystal display device.

[0002]

[Prior Art] For example, thin film transistor type liquid crystal display devices described in "Development of EID 90-6, ED 90-35, IE 90-15, and 10.4 type color TFT-LCD" have conventionally been known as a technology of this field. FIG. 7 is part of a cross-sectional view which shows a structure of a thin film transistor (hereinafter referred to as a "TFT") described in the above-described document and the like.

[0003] Conventionally, such an inversely staggered type structure as shown in FIG. 7 has mainly been employed as a TFT structure in a thin film transistor type liquid crystal display device (hereinafter referred to as a "TFT-LCD"). That is, following the formation of a gate electrode 32 in a lowest layer, a gate insulating film 34, a semiconductor layer 35, and an ohmic junction layer 36 are formed. Then, drain-source electrodes electrodes 37 and 38 are formed. As for a pixel electrode 33, there are a method which forms the pixel electrode 33 after the drain-source electrodes 37 and 38 are formed as shown in FIG. 7 and a method which forms the pixel electrode 33 before the drain-source electrodes 37 and 38 are formed, and either method is employed. Then, a passivation film 39 is provided.

[0004]

[Problems to be Solved by the Invention] However, in the case of the TFT structure as described above, there has been the following problems. First, only an insulating film is interposed between a drain electrode and a liquid crystal layer. Accordingly, a signal of the drain electrode affects the liquid crystal layer and the liquid crystal layer is made to operate. Consequently, light leakage occurs on the side of the drain electrode and

contrast is reduced.

[0005] Second, in a case where an auxiliary capacitor for improving storage characteristics of a pixel voltage during a one-frame period, there is only a method whereby the auxiliary capacitor is formed using the prior gate electrode. This method has a disadvantage in that a capacitor load of the gate electrode is increased, in which the capacitor load is the cause of distortion of a gate pulse inputted into the gate electrode. It is an object of the present invention to provide a TFT-LCD excellent in display quality, with the solution of problems such as light leakage on the side the drain electrode and distortion of a gate pulse when the auxiliary capacitor is formed, as described above.

[0006]

[Means for Solving the Problem] According to the present invention, in a TFT-LCD provided with a TFT substrate having a plurality of gate electrodes, a plurality of drain electrodes which intersect with the gate electrodes, a TFT provided at an intersection thereof, and a pixel electrode connected to a source electrode of the TFT; and with a counter electrode substrate which face to the TFT substrate, with liquid crystals interposed therebetween, where the TFT substrate includes a first insulating film formed over the gate electrode; a second insulating film formed over the first insulating film and an entire surface but a connection portion of the source electrode and the pixel electrode; a shielding electrode formed over the second insulating film and an entire surface but at least the gate electrode, where a portion under a channel portion of the TFT is not included, and the connection portion of the source electrode and the pixel electrode; a third insulating film formed over the shielding electrode and an entire surface but at least the connection portion of the source electrode and the pixel electrode; the pixel electrode formed over the third insulating film; and a gate auxiliary electrode formed over the second insulating film or the third insulating film and the gate electrode, where the portion under the channel portion of the TFT is not included, and electrically connected to the gate electrode, and a voltage inputted into the shielding electrode is made similar to a voltage inputted into a counter electrode of the counter electrode substrate.

[0007]

[Operation] According to the present invention, the TFT-LCD is formed to have such a

structure; therefore, a voltage signal of the drain electrode is shielded by the shielding electrode; thus, the voltage signal does not affect the liquid crystal layer. A storage capacitor formed between the shielding electrode and the pixel electrode reduces shift down of a pixel electrode voltage, which is due to parasitic capacitance between gate-source electrodes, and improves storage characteristics of the pixel electrode voltage. Further, since the gate auxiliary electrode is connected to the gate electrode, the resistance and capacitance of the gate electrode are reduced.

[0008]

[Embodiment] Hereinafter, embodiment of the present invention will be described in detail with reference to the drawings. FIG. 1 is a plan view which shows an electrode pattern of a TFT substrate in embodiment of the present invention, FIG. 2 is a cross-sectional view of a channel portion (A-A' of FIG. 1) in a TFT of a TFT substrate in embodiment of the present invention, FIG. 3 is a cross-sectional view of part (B-B' of FIG. 1) of a TFT substrate in embodiment of the present invention, and FIG. 4 is a cross-sectional view of part (C-C' of FIG. 1) of a TFT substrate in embodiment of the present invention. Hereinafter, the structure of embodiment will be described in detail with reference to FIGS. 1 to 4.

[0009] First, as shown in FIGS. 1 and 2, in a basic structure of an electrode pattern of a TFT substrate in this embodiment, a transistor is formed between a source electrode 3 with a semiconductor layer 5 serving as a channel and an intersection of a gate electrode 1 and a drain electrode 2, and the source electrode 3 and a pixel electrode 4 are electrically connected to each other through a first contact hole 7. Then, as shown in FIGS. 2 to 4, a first insulating film 15 which functions as a gate insulating film is formed over an entire surface of the lowest formed gate electrode 1, where the portion of a third contact hole 9 is not included. Note that as shown in FIGS. 2 and 4, in this embodiment, the surface of the gate electrode 1 of the channel portion and at the intersection of the gate-drain electrodes 1 and 2 is anodized, and a gate anodized film 13 for preventing a short between the gate-drain electrodes 1 and 2 is formed.

[0010] In addition, in FIG. 3, the gate anodized film is not formed over the gate electrode 1 so as to electrically connect the gate electrode 1 and a gate auxiliary electrode 12 to each other through the third contact hole 9. The semiconductor layer 5

is formed in the pattern shown in FIG. 1, over this first insulating film 15. The semiconductor layer 5 may theoretically be formed only at the channel portion of the transistor; however, this pattern is employed for reduction and the like of a short between the gate-drain electrodes 1 and 2.

[0011] An ohmic junction layer 14 is formed over this semiconductor layer 5; however, the ohmic junction layer 14 is formed in portions where the drain electrode 2 and the source electrode 3 each overlap with the semiconductor layer 4 as a pattern thereof because the ohmic junction layer 14 should not be formed at least at the channel portion of the transistor. Although this pattern is not necessarily employed in the ohmic junction layer 14, this pattern is employed because of the same reason as the above.

[0012] The drain-source electrodes 2 and 3 are formed over this ohmic junction layer 14 in the pattern as shown in FIG. 1. This pattern is just a general one. A second insulating film 16 is formed over an entire surface of the drain-source electrodes 2 and 3, where the first contact hole 7 and a fourth contact hole 10 are not included, as shown in FIGS. 2 to 4. A shielding electrode 6 is formed over this second insulating film in the pattern shown in FIG. 1. That is, the shielding electrode 6 is formed over an entire surface, where the gate electrode 1, the first contact hole 7, and a second contact hole 8 are not included, and in a direction parallel to the gate electrode 1. As will be described in detail, these shielding electrodes 6 are electrically connected to an outer portion of a TFT array and form one electrode. This shielding electrode has to be transparent.

[0013] There is a third insulating film 17 over the shielding electrode 6. This third insulating film 17 is formed over an entire surface but the second contact hole 8 and a fifth contact hole 11. The pixel electrode 4 and the gate auxiliary electrode 12 are simultaneously formed over the third insulating film 17 in the pattern shown in FIG. 1. This pixel electrode 4 is electrically connected to the source electrode 3 through the first contact hole 7 of the second insulating film 16 and the second contact hole 8 of the third insulating film 17. In addition, the gate auxiliary electrode 12 is electrically connected to the gate electrode 1 through the third contact hole 9 of the first insulating film 15, the fourth contact hole 10 of the second insulating film 16, and the fifth contact hole 11 of the third insulating film 17. Further, although the gate auxiliary electrode 12 is formed in almost the same pattern as the gate electrode 1, the gate auxiliary electrode 12 and the

drain electrode 2 are not electrically connected to each other at an intersection thereof because there are the second and third insulating films 16 and 17 as shown in FIG. 3. Note that even when the gate auxiliary electrode 12 is formed simultaneously with the shielding electrode 6 but not with the pixel electrode 4, almost the same advantageous effect can be obtained. In this embodiment, a structure is employed in which a short between the drain electrode 2 and the gate auxiliary electrode 12 does not occur easily.

[0014] As apparent from FIG. 4, a capacitor can be fabricated between the pixel electrode 4 and the shielding electrode 6 in this embodiment. That is, when seen from the pixel electrode 4, there is the shielding electrode 6 thereunder with the third insulating film 17 interposed between the pixel electrode 4 and the shielding electrode 6. Therefore, this forms a capacitor between the pixel and the shielding electrodes. Meanwhile, it can be found that a capacitor is formed in parallel to liquid crystals which are over the pixel electrode 4. Note that in this embodiment, as shown in FIG. 1, the shielding electrode 6 is formed so that the pattern thereof entirely overlaps with the pattern of pixel electrode 4. Alternatively, part of the shielding electrode 6 can also be made to overlap with the pixel electrode 4 by making the shielding electrode 6 small, depending on the size of the capacitor between the pixel and the shielding electrodes.

[0015] FIG. 5 is an equivalent circuit diagram of one pixel of the TFT-LCD in the embodiment of the present invention. In the figure, there is a transistor 18 at the intersection of the gate electrode 1 and the drain electrode 2. When the gate electrode 1 is turned on, a drain signal of the drain electrode 2 is written into the source-pixel electrodes 3, 4, and a liquid crystal 19 operates by a potential difference from a counter electrode 20. Here, as seen from the pixel electrode 4, the shielding electrode 6 has a capacitor in parallel with the liquid crystal as shown in this figure. In addition, the shielding electrode 6 is also formed over the drain electrode 2 as shown in this figure. Therefore, each is shown as a capacitor 21 between the pixel and the shielding electrodes and a capacitor 22 between the shielding and the drain electrodes.

[0016] From this figure, when the gate electrode 1 is turned on, it is found that a voltage signal in the drain electrode 2 is written into the source-pixel electrode 3, 4 through the transistor 18. At this time, the capacitor 21 between the pixel and shielding electrodes which is between the shielding electrode 6 and the pixel electrode 4 is inserted in parallel with the liquid crystal 19, the liquid crystal 19 has preferable voltage storage

characteristics. In addition, the drain electrode signal is shielded by the shielding electrode 6 because the shielding electrode 6 is formed also over the drain electrode 2. In addition, because the liquid crystal over the drain electrode 2 is interposed between the shielding electrode 6 and the counter electrode 20, the liquid crystal does not operate if a potential difference between the counter and shielding electrodes 20, 6 is a threshold voltage V_{th} or less of the liquid crystal. Therefore, since the liquid crystal over the drain electrode 2 does not operate, light leakage does not occur on the side of the drain electrode.

[0017] Further, shift down of a capacitor between the gate and source electrodes at gate off of a pixel voltage can also be reduced by the capacitor 21 between the pixel and shielding electrodes. In addition, the shielding electrode 6 does not overlap with the gate electrode 1 and the gate auxiliary electrode 12 is connected to the gate electrode 1; therefore, the resistance and capacitance of the gate electrode can be low and distortion of the gate voltage can be extremely low.

[0018] FIG. 6 is an electrical block diagram of the TFT-LCD in the embodiment of the present invention. A gate driver 23, a drain driver 24, and a counter electrode signal 25 are also provided in the conventional TFT-LCD, and only a shielding electrode signal 25 is added thereto in this embodiment; thus, the circuit is not complicated. For the matter what this shielding electrode signal 25 should be, this is preferably the same signal as the counter electrode. This is because, since the shielding electrode 6 over the drain electrode 2 faces to the counter electrode 20 with the liquid crystal interposed therebetween, the liquid crystal operates if a potential difference generates which is a threshold voltage V_{th} or more of the liquid crystal. Therefore, there may be DC components which do not make the liquid crystal operate between voltages which are applied to the counter electrode signal 25 and the shielding electrode signal 26. The easiest way is to connect electrically the counter electrode 20 and the shielding electrode 6 somewhere in the TFT-LCD panel.

[0019] Note that the present invention is not limited to the above-described embodiment and various modifications are possible based on the spirit of the present invention, and such modifications do not depart from the scope of the present invention.

[0020]

[Effect of the Invention] As described above in detail, according to the present invention,

the shielding electrode is provided over the drain electrode and is given with potential similar to that of the counter electrode, so that the liquid crystal over the drain electrode does not operate. Consequently, light leakage on the side of the drain electrode can be prevented from occurring.

[0021] In addition, since the capacitors can be formed between the shielding electrode and the pixel electrode, a pixel voltage storage characteristics during one frame is favorable and shift down of a pixel voltage when a gate voltage is off is reduced. Consequently, the contrast is improved. Further, the gate auxiliary electrode is deposited over the gate electrode, so that the resistance value of the gate electrode is reduced. As a result, there is no distortion of the gate voltage pulse.

[Brief Description of the Drawings]

[FIG. 1] A plan view which shows an electrode pattern of a TFT substrate in embodiment of the present invention.

[FIG. 2] A cross-sectional view of a channel portion of a TFT of a TFT substrate in embodiment of the present invention.

[FIG. 3] A cross-sectional view of part (B-B' of FIG. 1) of a TFT substrate in embodiment of the present invention.

[FIG. 4] A cross-sectional view of part (C-C' of FIG. 1) of a TFT substrate in embodiment of the present invention.

[FIG. 5] An equivalent circuit diagram of one pixel of a TFT-LCD in embodiment of the present invention.

[FIG. 6] An electrical block diagram of a TFT-LCD in embodiment of the present invention.

[FIG. 7] Part of a cross-sectional view of a conventional TFT substrate.

[Description of the Numerals]

1 gate electrode
2 drain electrode
3 source electrode
4 pixel electrode
5 semiconductor layer
6 shielding electrode

7	first contact hole
8	second contact hole
9	third contact hole
10	fourth contact hole
11	fifth contact hole
12	gate auxiliary electrode
13	gate anodized film
14	ohmic junction layer
15	first insulating film
16	second insulating film
17	third insulating film
20	counter electrode

Continued from the front page

(51) Int. Cl.[5]	Identification Symbol	JPO File Number	FI
			Technical Indication
H 01 L 29/784			

5

(19)日本国特許庁（ＪＰ）　(12) 公開特許公報（A）　(11)特許出願公開番号

特開平4－358129

(43)公開日　平成４年(1992)12月11日

(51)Int.Cl.⁵		識別記号	庁内整理番号	Ｆ１	技術表示箇所
Ｇ０２Ｆ	1/136	５００	9018－2K		
	1/1333	５０５	7610－2K		
	1/1343		9018－2K		
Ｈ０１Ｌ	27/12	Ａ	8728－4M		
			9056－4M	Ｈ０１Ｌ 29／78　３１１　Ａ	

審査請求　未請求　請求項の数１(全 6 頁)　最終頁に続く

(21)出願番号　特願平3－116425

(22)出願日　平成３年(1991)５月22日

(71)出願人　000000295
沖電気工業株式会社
東京都港区虎ノ門１丁目７番12号

(72)発明者　小椋　茂樹
東京都港区虎ノ門１丁目７番12号　沖電気工業株式会社内

(72)発明者　西木　玲彦
東京都港区虎ノ門１丁目７番12号　沖電気工業株式会社内

(72)発明者　▲よし▼澤　佳代
東京都港区虎ノ門１丁目７番12号　沖電気工業株式会社内

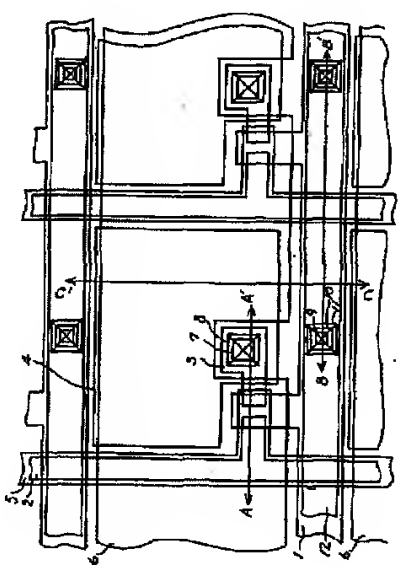
(74)代理人　弁理士　清水　守　(外２名)

(54)【発明の名称】　薄膜トランジスタ型液晶表示装置

(57)【要約】

【目的】　ＴＦＴ－ＬＣＤにおいて、ドレイン電極線の光漏れ防止及びゲート電極を低抵抗化を行う。

【構成】　ドレイン電極２上には遮蔽電極６が形成されている。遮蔽電極６は対向電極と電気的に接続されている。また、ゲート電極１の上にはコンタクトホール９～１１によりゲート電極１と電気的に接続されたゲート補助電極１２が形成されている。このように構成すると、ドレイン電極２上の電圧信号は遮蔽電極６により遮蔽され、液晶層に入らなくなる。また、ゲート補助電極１２によりゲート電極の抵抗が小さくなる。



1

【特許請求の範囲】

【請求項1】　複数のゲート電極と、該ゲート電極と交差する複数のドレイン電極と、その交差部に設けられた薄膜トランジスタと、該薄膜トランジスタのソース電極に接続された画素電極とを有する薄膜トランジスタ基板と、液晶を挟んで該薄膜トランジスタ基板と対向する対向電極基板とを備えた薄膜トランジスタ型液晶表示装置において、前記薄膜トランジスタ基板は、（a）前記ゲート電極上に形成された第1絶縁膜と、（b）該第1絶縁膜上で、かつ、前記ソース電極と前記画素電極との接続部以外の全面に形成された第2絶縁膜と、（c）該第2絶縁膜上で、かつ、少なくとも前記トランジスタのチャネル部を除いたゲート電極及び前記ソース電極と前記画素電極との接続部以外の全面に形成された遮蔽電極と、（d）該遮蔽電極上で、かつ、少なくとも前記ソース電極と前記画素電極との接続部以外の全面に形成された第3絶縁膜と、（e）該第3絶縁膜上に形成された前記画素電極と、（f）該第2絶縁膜又は第3絶縁膜上でかつ前記トランジスタのチャネル部を除いた前記ゲート電極上に形成され、前記ゲート電極と電気的に接続されたゲート補助電極とを備え、かつ、前記遮蔽電極に入力する電圧を前記対向電極基板の対向電極に入力する電圧と同程度にしたことを特徴とする薄膜トランジスタ型液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、薄膜トランジスタ型液晶表示装置における電極構造とパターンに関するものである。

【0002】

【従来の技術】従来、この分野の技術としては例えば「EID90－6，ED90－35，IE90－15，10．4型カラーTFT－LCDの開発」に記載されたものが知られている。図7は前記文献等に記載されている薄膜トランジスタ（以下、「TFT」という）の構造を示す一部断面図である。

【0003】従来、薄膜トランジスタ型液晶表示装置（以下「TFT－LCD」という）におけるTFT構造は、図7に示されるような逆スタガ型構造が主流であった。すなわち、ゲート電極32は最も下に形成されており、ゲート絶縁膜34、半導体層35、オーミック接合層36と続いて形成された後、ドレインーソース電極電極37，38が形成されるという構造である。また、画素電極33は、この図のようにドレインーソース電極37，38より後に形成されるものと、先に形成されるものとがあり、どちらかが採用されている。そして、最後にパッシベーション膜39が設けられている。

【0004】

【発明が解決しようとする課題】しかしながら、上記のようなTFT構造の場合、以下のような問題点があった。第1に、ドレイン電極と液晶層との間には絶縁膜しかなく、ドレイン電極上の信号が液晶層に入り込み、液晶層を動作させてしまい、その結果ドレイン電極脇で光漏れが発生し、コントラストが低下するという点である。

2

【0005】第2に、1フレームの期間の画素電圧の保持特性を向上させるための補助容量を設ける場合、1本前のゲート電極との間に形成するくらいしか方法はなく、この方法は、ゲート電極に入力されるゲートパルスを歪ませる原因となるゲート電極の容量負荷を大きくしてしまうという欠点があった。本発明は、以上述べたドレイン電極脇の光漏れ、及び補助容量を形成するとゲートパルスが歪むという問題点を解決して、表示品質の優れたTFT－LCDを提供することを目的とする。

【0006】

【課題を解決するための手段】本発明は、複数のゲート電極と、それらのゲート電極と交差する複数のドレイン電極と、その交差部に設けられたTFTと、TFTのソース電極に接続された画素電極とを有するTFT基板と、液晶を挟んでTFT基板と対向する対向電極基板とを備えたTFT－LCDにおいて、TFT基板は、ゲート電極上に形成された第1絶縁膜と、第1絶縁膜上で、かつ、ソース電極と画素電極との接続部以外の全面に形成された第2絶縁膜と、第2絶縁膜上で、かつ、少なくともTFTのチャネル部を除いたゲート電極及びソース電極と画素電極との接続部以外の全面に形成された遮蔽電極と、遮蔽電極上で、かつ、少なくともソース電極と画素電極との接続部以外の全面に形成された第3絶縁膜と、第3絶縁膜上に形成された前記画素電極と、第2絶縁膜又は第3絶縁膜上で、かつ、TFTのチャネル部を除いたゲート電極上に形成され、ゲート電極と電気的に接続されたゲート補助電極とを備え、かつ、遮蔽電極に入力する電圧を対向電極基板の対向電極に入力する電圧と同程度になるように構成した。

【0007】

【作用】本発明によれば、以上のようにTFT－LCDを構成したので、ドレイン電極上の電圧信号は遮蔽電極により遮蔽され、液晶層に入らなくなる。また、遮蔽電極と画素電極との間に形成される蓄積容量がゲートーソース電極間寄生容量に起因する画素電極電圧のシフトダウンを軽減させ、かつ画素電極電圧の保持特性を向上させる。さらに、ゲート補助電極がゲート電極と接続されているので、ゲート電極の抵抗、容量が小さくなる。

【0008】

【実施例】以下、本発明の実施例について図面を参照しながら詳細に説明する。図1は本発明の実施例におけるTFT基板の電極パターンを示す平面図、図2は本発明の実施例におけるTFT基板のTFTのチャネル部（図1のA－A′）断面図、図3は本発明の実施例におけるTFT基板の一部（図1のB－B′）断面図、図4は本

3

発明の実施例におけるＴＦＴ基板の一部（図１のＣ－Ｃ′）断面図である。以下、図１～図４を参照して、本実施例の構成を詳しく説明する。

【０００９】まず図１及び図２に示すように、本実施例におけるＴＦＴ基板の電極パターンの基本構造は、ゲート電極１とドレイン電極２の交差する場所において半導体層５をチャネルとするソース電極３との間にトランジスタが形成され、ソース電極３と画素電極４は第１コンタクトホール７により電気的に接続されている。そして、図２～図４に示すように、最も下に形成されているゲート電極１の上には、ゲート絶縁膜として機能する第１絶縁膜１５が、第３コンタクトホール９の部分を除いて全面に形成されている。なお、本実施例では、図２及び図４に示すように、チャネル部及びゲート－ドレイン電極１，２の交点部のゲート電極１の表面は陽極酸化され、ゲート－ドレイン電極１，２間のショートを防ぐためのゲート陽極酸化膜１３が形成されている。

【００１０】また、図３において、ゲート電極１上に陽極酸化膜が形成されていないのは、第３コンタクトホール９によりゲート電極１とゲート補助電極１２とを電気的に接続するからである。この第１絶縁膜１５の上には半導体層５が図１に示すパターンで形成されている。半導体層５は、原理的にはトランジスタのチャネル部にのみあればよいのであるが、このパターンとしたのはゲート－ドレイン電極１，２間のショート低減等のためである。

【００１１】この半導体層５の上にはオーミック接合層１４があるが、トランジスタのチャネル部には少なくともあってはならないので、そのパターンはドレイン電極２とソース電極３と半導体層４の重なる部分に形成されている。オーミック接合層１４もこのパターンである必要はなく、上記と同じ理由でこのパターンとなっている。

【００１２】このオーミック接合層１４の上に、ドレイン－ソース電極２，３が図１に示すようなパターンで形成されている。このパターンはごく一般的なものである。ドレイン－ソース電極２，３の上に第２絶縁膜１６が、図２～図４に示すように、第１，第４コンタクトホール７，１０を除いて全面に形成されている。この第２絶縁膜の上に遮蔽電極６が図１に示すパターンで形成されている。すなわち、ゲート電極１及び第１，第２コンタクトホール７，８以外に形成されるものであり、かつ、ゲート電極１と平行方向に形成されているものである。後で詳しく述べるように、これら遮蔽電極６はＴＦＴアレイの外部において、電気的に接続されているものであり、遮蔽電極６は一つの電極をなしている。この遮蔽電極は透明でなければならない。

【００１３】遮蔽電極６の上には第３絶縁膜１７がある。この第３絶縁膜１７は、第２コンタクトホール８と第５コンタクトホール１１以外に形成されている。第３

4

絶縁膜１７の上には、画素電極４とゲート補助電極１２が図１に示すパターンで同時に形成されている。この画素電極４は、第２絶縁膜１６の第１コンタクトホール７と第３絶縁膜１７の第２コンタクトホール８によって、ソース電極３と電気的に接続されている。また、ゲート補助電極１２は第１絶縁膜１５の第３コンタクトホール９と第２絶縁膜１６の第４コンタクトホール１０と第３絶縁膜１７の第５コンタクトホール１１によってゲート電極１と電気的に接続されている。さらに、ゲート補助電極１２は、ゲート電極１とほぼ同一のパターンに形成されているのであるが、ドレイン電極２との交差部においては、図３に示すように第２，第３絶縁膜１６，１７があることにより、電気的に非接続となっている。なお、ゲート補助電極１２を画素電極４でなく、遮蔽電極６と同時に形成しても得られる効果はほぼ同じである。本実施例は、ドレイン電極２とゲート補助電極１２のショートの起こりにくい構成にしてある。

【００１４】図４から明らかなように、本実施例においては画素電極４と遮蔽電極６の間に容量を作り込むことができる。すなわち、画素電極４から見れば、下側は第３絶縁膜１７を介して遮蔽電極６があるので、これが画素－遮蔽電極間容量を形成している。一方、上側は液晶であるので液晶とは並列に容量が形成されていることが分かる。なお、本実施例においては、図１に示すように、遮蔽電極６のパターンが画素電極４のパターンとすべて重なるように形成しているが、画素－遮蔽電極間容量をどの程度にするかに応じて、遮蔽電極６を小さくしてその一部が画素電極４と重なるようにすることもできる。

【００１５】図５は本発明の実施例におけるＴＦＴ－ＬＣＤの１画素あたりの等価回路図である。図において、ゲート電極１とドレイン電極２の交差部にトランジスタ１８があり、ゲート電極１がオンすると、ドレイン電極２上のドレイン信号がソース－画素電極３，４に書き込まれ、対向電極２０との電位差により、液晶１９が動作する。ここで、遮蔽電極６は画素電極４からみて、液晶と並列に容量を有するので、この図のように示され、また、遮蔽電極６はドレイン電極２上にも形成されているのでこの図のように示され、各々画素－遮蔽電極間容量２１、遮蔽－ドレイン電極間容量２２のように示される。

【００１６】この図より、ゲート電極１がオンすると、ドレイン電極２にある電圧信号がトランジスタ１８を通してソース－画素電極３，４に書き込まれることがわかる。この時、遮蔽電極６と画素電極４の間の画素－遮蔽電極間容量２１が液晶１９と並列に入っているので、液晶１９の電圧保持特性は良好となる。また、遮蔽電極６はドレイン電極２上にもあるため、ドレイン電極信号は遮蔽電極６によって遮蔽され、ドレイン電極２上の液晶遮蔽電極６と対向電極２０に挟まれているので対向－遮

5

蔽電極２０，６間の電位差が液晶の閾値電圧Ｖth以下ならば動作しない。したがって、ドレイン電極２上の液晶は動作しないため、ドレイン電極脇の光漏れが起きることはない。

【００１７】さらに、ゲートーソース電極間容量による画素電圧のゲートオフ時のシフトダウンも画素－遮蔽電極間容量２１により軽減される。また、遮蔽電極６はゲート電極１と違ならず、かつ、ゲート補助電極１２がゲート電極１と接続されていることから、ゲート電極の抵抗、容量とも小さくてすみ、ゲート電圧の歪みはきわめて小さくなる。

【００１８】図６は本発明の実施例によるＴＦＴ－ＬＣＤの電気的ブロック図である。ゲートドライバ２３とドレインドライバ２４及び対向電極信号２６は従来のＴＦＴ－ＬＣＤにおいても設けられていたものであり、本実施例においては遮蔽電極信号２６を付加するのみなので、回路が複雑化することはない。そして、この遮蔽電極信号２５はいかなるものにすればよいかであるが、これは対向電極と同じ信号にするのが好ましい。なぜなら、ドレイン電極２上の遮蔽電極６は、液晶を介して対向電極２０と向き合っているのでここに液晶の閾値電圧Ｖth以上の電位差が生じれば、液晶が動作してしまうからである。したがって、対向電極信号２５と遮蔽電極信号２６とに印加する電圧の間に液晶を動作させない程度のＤＣ成分があってもよい。最も簡単な方法はＴＦＴ－ＬＣＤパネル内のどこかで対向電極２０と遮蔽電極６を電気的に接続してしまうことである。

【００１９】なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づき種々の変形が可能であり、それらを本発明の範囲から排除するものではない。

【００２０】

【発明の効果】以上詳細に説明したように、本発明によれば、ドレイン電極上に遮蔽電極を設け、対向電極と同程度の電位を与えるようにしたので、ドレイン電極上の液晶が動作することがなくなる。その結果、ドレイン電極脇の光漏れをなくすことができる。

【００２１】また、その遮蔽電極と画素電極との間に容量を形成することができるので、１フレーム間の画素電

6

圧保持特性は良好となり、かつ、ゲート電圧オフ時の画素電圧のシフトダウンが軽減される。その結果、コントラストが向上する。さらに、ゲート補助電極をゲート電極上に配置したことによって、ゲート電極の抵抗値が小さくなる。その結果、ゲート電圧パルスの歪みがなくなる。

【図面の簡単な説明】

【図１】本発明の実施例におけるＴＦＴ基板の電極パターンを示す平面図である。

【図２】本発明の実施例におけるＴＦＴ基板のＴＦＴのチャネル部の断面図である。

【図３】本発明の実施例におけるＴＦＴ基板の一部（図１のＢ－Ｂ′）断面図である。

【図４】本発明の実施例におけるＴＦＴ基板の一部（図１のＣ－Ｃ′）断面図である。

【図５】本発明の実施例におけるＴＦＴ－ＬＣＤの１画素あたりの等価回路図である。

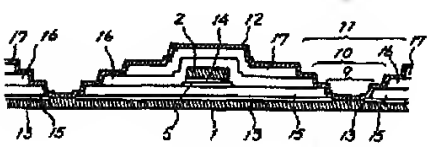
【図６】本発明の実施例によるTFＴ－ＬＣＤの電気的ブロック図である。

【図７】従来のＴＦＴ基板の一部断面図である。

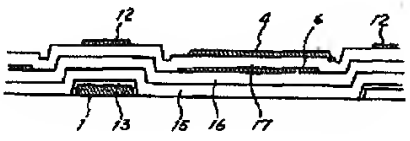
【符号の説明】

１	ゲート電極
２	ドレイン電極
３	ソース電極
４	画素電極
５	半導体層
６	遮蔽電極
７	第１コンタクトホール
８	第２コンタクトホール
９	第３コンタクトホール
１０	第４コンタクトホール
１１	第５コンタクトホール
１２	ゲート補助電極
１３	ゲート陽極酸化膜
１４	オーミック接合層
１５	第１絶縁膜
１６	第２絶縁膜
１７	第３絶縁膜
２０	対向電極

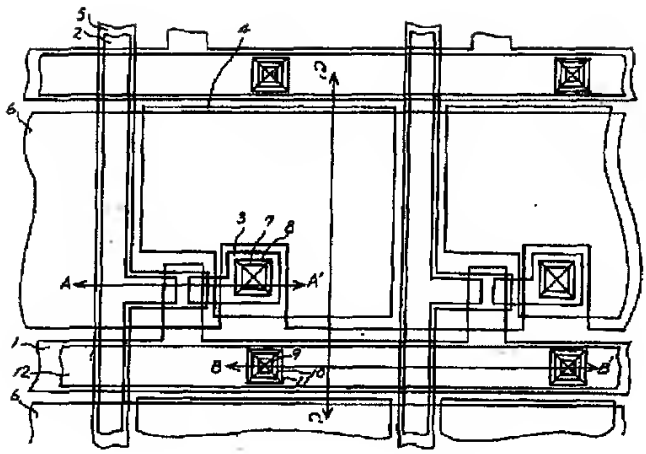
【図３】



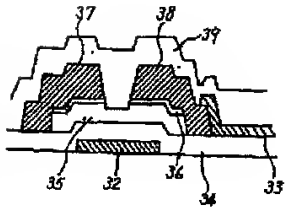
【図４】



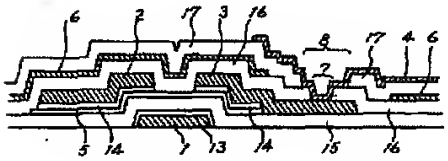
【図1】



【図7】

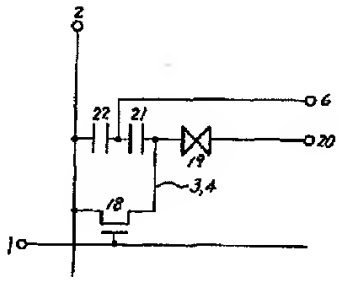


【図2】

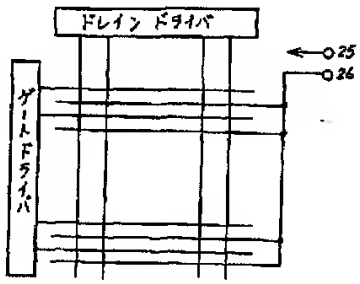


1：ゲート電極
2：ドレイン電極
3：ソース電極
4：画素電極
5：半導体層
6：遮蔽電極
7：第1コンタクトホール
8：第2コンタクトホール
9：第3コンタクトホール
10：第4コンタクトホール
11：第5コンタクトホール
12：ゲート補助電極
13：ゲート陽極酸化膜
14：オーミック接合層
15：第1絶縁膜
16：第2絶縁膜
17：第3絶縁膜

【図5】



【図6】



フロントページの続き

(51)Int.Cl.⁵	識別記号	庁内整理番号	FI	技術表示箇所
H01L 29/784				